

(51)Int.Cl.<sup>5</sup>  
G 0 2 F

識別記号

府内整理番号  
8707-2K

F I

技術表示箇所

審査請求 未請求 請求項の数5 O.L. (全11頁)

(21)出願番号 特願平5-33293

(22)出願日 平成5年(1993)2月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 田中 義規

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 小林 哲也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 林 省吾

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 平戸 哲夫

最終頁に続く

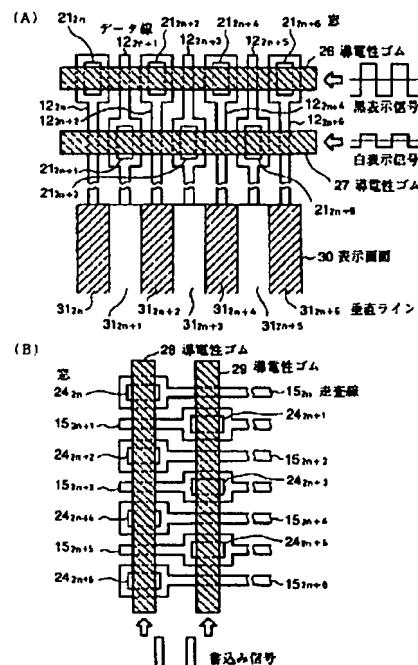
(54)【発明の名称】 アクティブマトリクス型液晶表示パネル

## (57)【要約】

【目的】 アクティブマトリクス型液晶表示パネルに関し、データ線の短絡、断線及び走査線の短絡、断線というパターン不良を簡単な検査方法で、かつ、正確に検出することができるようとする。

【構成】 データ線122、124・・・12640は、窓212、214・・・21640を介し、データ線121、123・・・12639は、窓211、213・・・21639を介し、走査線152、154・・・15480は、窓242、244・・・24480を介し、走査線151、153・・・15479は、窓241、243・・・24479を介し、それぞれ、導電性ゴム26、27、28、29で短絡し、導電性ゴム26に黒表示信号、導電性ゴム27に白表示信号、導電性ゴム28、29に書き込み信号を印加し、表示画面を観察する。

データ線の短絡、断線の検査方法の一例を説明するための平面図



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された画素電極と、これら画素電極に対応させて垂直ライン方向に延在され、表示信号が印加されるデータ線と、これらデータ線と前記画素電極との間に接続されたアクティブ素子と、前記画素電極に対応させて水平ライン方向に延在され、印加される走査信号により前記アクティブ素子のオン、オフを制御する走査線とが形成されてなる第1の基板と、共通電極が形成されてなる第2の基板とを対向させ、これら第1及び第2の基板間に液晶を封入してなるアクティブマトリクス型液晶表示パネルにおいて、前記第1の基板に、絶縁層で被覆され、かつ、前記データ線との電気的接触を図るための窓を形成してなる第1の検査用領域と、絶縁層で被覆され、かつ、前記走査線との電気的接觸を図るための窓を形成してなる第2の検査用領域とが設けられていることを特徴とするアクティブマトリクス型液晶表示パネル。

【請求項2】前記第1の検査用領域における偶数ラインの窓と奇数ラインの窓とは水平ライン方向に平行に形成され、前記第2の検査用領域における偶数ラインの窓と奇数ラインの窓とは垂直ライン方向に平行に形成されていることを特徴とする請求項1記載のアクティブマトリクス型液晶表示パネル。

【請求項3】前記第1の検査用領域は、前記第1の基板の垂直ライン方向の一方の最縁部側に形成され、前記第2の検査用領域は、前記第1の基板の水平ライン方向の一方の最縁部側に形成されていることを特徴とする請求項1又は2記載のアクティブマトリクス型液晶表示パネル。

【請求項4】前記第2の検査用領域は、前記走査線に走査信号を印加すべき領域に隣接して、前記第1の基板の水平ライン方向の一方の最縁部側に形成されていることを特徴とする請求項1、2又は3記載のアクティブマトリクス型液晶表示パネル。

【請求項5】前記データ線のうち、偶数ラインのデータ線は、前記第1の検査用領域の偶数ラインの窓を介し、製造プロセスにおいて形成された第1の金属層で短絡され、前記データ線のうち、奇数ラインのデータ線は、前記第1の検査用領域の奇数ラインの窓を介し、製造プロセスにおいて形成された第2の金属層で短絡され、前記走査線のうち、偶数ラインの走査線は、前記第2の検査用領域の偶数ラインの窓を介し、製造プロセスにおいて形成された第3の金属層で短絡され、前記走査線のうち、奇数ラインの走査線は、前記第2の検査用領域の奇数ラインの窓を介し、製造プロセスにおいて形成された第4の金属層で短絡されていることを特徴とする請求項3又は4記載のアクティブマトリクス型液晶表示パネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、画素をマトリクス状に配列させると共に、各画素ごとにアクティブ素子を形成し、各画素に記憶動作を行わせるように構成されるアクティブマトリクス型液晶表示パネルに関する。

## 【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示パネルとして、図22に概略的平面図を示すようなものが知られている。

【0003】図中、1はアクティブ素子として薄膜トランジスタ(thin film transistor. 以下、TFTといふ)基板、21、22···2640はTFT基板1に形成されている表示信号が印加されるデータ線である。

【0004】また、3は奇数ラインのデータ線21、23···2639に表示信号を印加するための表示信号印加領域、4は偶数ラインのデータ線22、24···2640に表示信号を印加するための表示信号印加領域である。

【0005】また、51、52···5480は同じくTFT基板1に形成されている走査信号が印加される走査線、6はこれら走査線51、52···5480に走査信号を印加するための走査信号印加領域である。

【0006】また、図23は、このTFT基板1の平面構造を概略的に示す平面図であり、図中、711、712···724は画素ごとに設けられている画素電極、811、812···824はアクティブ素子をなすTFTである。

【0007】また、図22において、9はTFT基板1に対向して設けられている共通電極が形成されてなる対向基板であり、この対向基板9とTFT基板1との間に液晶が封入されている。

【0008】かかるアクティブマトリクス型液晶表示パネルについては、データ線21、22···2640の短絡、断線及び走査線51、52···5480の短絡、断線というパターン不良の検出が不可欠とされている。

【0009】従来、かかるパターン不良を検査する方法として、従来のアクティブマトリクス型液晶表示パネルの構造上、一括コンタクトプローバ検査方式と、パターン検査方式とが採用されていた。

【0010】一括コンタクトプローバ検査方式とは、データ線21、22···2640及び走査線51、52···5480に微細な針を立てて電気信号を印加して表示状態を観察することによりパターン不良を検査する方式であり、パターン検査方式とは、パネルに光を当てて、通過光を観察することによりパターン不良を検査する方式である。

## 【0011】

【発明が解決しようとする課題】しかし、一括コンタクトプローバ検査方式においては、画素の高集積化に伴いデータ線21、22···2640及び走査線51、52···5480のピッチが小さくなっていることから、針の製造及び針とデータ線21、22···2640、走査線51、52···5480との位置合わせが困難になつて

る。

【0012】また、パターン検査方式においては、全画素のパターンを順に観察していかなければならず、検査に多大の時間を必要とする上、通過光によりパターン不良を判断するため、データ線間や走査線間にゴミが付着している場合であっても、これをデータ線間の短絡、走査線間の短絡として検出してしまう。

【0013】本発明は、かかる点に鑑み、データ線の短絡、断線及び走査線の短絡、断線というパターン不良を簡単な検査方法で、かつ、正確に検出することができるようとしたアクティブマトリクス型液晶表示パネルを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明によるアクティブマトリクス型液晶表示パネルは、マトリクス状に配置された画素電極と、これら画素電極に対応させて垂直ライン方向に延在され、表示信号が印加されるデータ線と、これらデータ線と画素電極との間に接続されたアクティブ素子と、画素電極に対応させて水平ライン方向に延在され、印加される走査信号によりアクティブ素子のオン、オフを制御する走査線とが形成されてなる第1の基板と、共通電極が形成されてなる第2の基板とを対向させ、これら第1及び第2の基板間に液晶を封入してなるアクティブマトリクス型液晶表示パネルを改良するものであり、第1の基板に、絶縁層で被覆され、かつ、データ線との電気的接触を図るために窓を形成してなる第1の検査用領域と、絶縁層で被覆され、かつ、走査線との電気的接触を図るために窓を形成してなる第2の検査用領域とを設けて構成するというものである。

【0015】

【作用】本発明では、第1の基板に、絶縁層で被覆された第1、第2の検査用領域が形成されており、第1の検査用領域には、データ線と電気的接触を図るために窓が形成されており、第2の検査用領域には、走査線と電気的接触を図るために窓が形成されている。

【0016】この結果、奇数ラインのデータ線同士、偶数ラインのデータ線同士、奇数ラインの走査線同士、偶数ラインの走査線同士を、それぞれ、対応する窓を介して第1、第2、第3、第4の導電性ゴムで短絡することができる。

【0017】そこで、このような状態とした上で、第1、第2、第3、第4の導電性ゴムに所定の信号を印加し、所定の画面を表示させることで、データ線の短絡、断線及び走査線の短絡、断線というパターン不良を検出することができる。

【0018】

【実施例】以下、まず、図1～図18を参照して、本発明の一実施例につき、(1)構成、(2)検査方法、(3)作用、効果に項を分けて説明する。

【0019】(1)構成

図1は本発明の一実施例を概略的に示す平面図である。図中、10は表示信号が印加されるデータ線、走査信号が印加される走査線、画素を構成する画素電極、アクティブ素子としてのTFT等が形成されてなるTFT基板、11は共通電極が形成されてなる対向基板であり、これらTFT基板10と対向基板11との間に液晶が封入されている。

【0020】また、121、122・・・12640は垂直ライン方向に延在されているデータ線、13は奇数ラインのデータ線121、123・・・12639に表示信号を印加するための表示信号印加領域、14は偶数ラインのデータ線122、124・・・12640に表示信号を印加するための表示信号印加領域である。

【0021】また、151、152・・・15480は水平方向に延在されている前述の走査線、16はこれら走査線151、152・・・15480に走査信号を印加するための走査信号印加領域である。

【0022】また、17、18は検査用領域であり、図2は検査用領域17の一部を拡大して示す平面図、図3は図2のA-A線に沿った断端面図、図4は図2のB-B線に沿った断端面図である。

【0023】図中、19はTFT基板10を構成する透明ガラス板、20はSiNからなる最終保護膜、21<sub>2n</sub>、21<sub>2n+1</sub>・・・21<sub>2n+4</sub>は、それぞれ、データ線12<sub>2n</sub>、12<sub>2n+1</sub>・・・12<sub>2n+4</sub>と電気的接触を図るために窓、22<sub>2n</sub>、22<sub>2n+1</sub>・・・22<sub>2n+4</sub>はITO膜である。なお、データ線121、122・・・12640はチタンTiで形成されている。

【0024】また、図5は検査用領域18の一部を拡大して示す平面図、図6は図5のC-C線に沿った断端面図、図7は図5のD-D線に沿った断端面図である。

【0025】図中、23はSiNからなるゲート絶縁膜、24<sub>2n</sub>、24<sub>2n+1</sub>・・・24<sub>2n+4</sub>は、それぞれ、走査線15<sub>2n</sub>、15<sub>2n+1</sub>・・・15<sub>2n+4</sub>と電気的接触を得るために窓、25<sub>2n</sub>、25<sub>2n+1</sub>・・・25<sub>2n+4</sub>はITO膜である。なお、走査線151、152・・・15480はチタンTiで形成されている。

【0026】(2)検査方法

(a)データ線の短絡、断線の検査方法(その1)

図8はデータ線121、122・・・12640の短絡、断線の検査方法の一例を説明するための平面図である。なお、この図8においては、最終保護膜20は、その図示を省略している。

【0027】まず、図8(A)に示すように、偶数ラインのデータ線122、124・・・12640を偶数ラインの窓212、214・・・21640を介して導電性ゴム26で短絡すると共に、奇数ラインのデータ線121、123・・・12639を奇数ラインの窓211、213・・・21639を介して導電性ゴム27で短絡する。

【0028】また、図8(B)に示すように、偶数ライ

ンの走査線 152、154・・・15480を偶数ラインの窓 242、244・・・24480を介して導電性ゴム 28 で短絡すると共に、奇数ラインの走査線 151、153・・・15479を奇数ラインの窓 241、243・・・24479を介して導電性ゴム 29 で短絡する。

【0029】そして、偶数ラインのデータ線 122、124・・・12640に導電性ゴム 26 を介して黒を表示させるための黒表示信号を印加すると共に、奇数ラインのデータ線 121、123・・・12639に導電性ゴム 27 を介して白を表示させるための白表示信号を印加する。

【0030】他方、偶数ラインの走査線 152、154・・・15480及び奇数ラインの走査線 151、153・・・15479にはそれぞれ導電性ゴム 28、29 を介して書き込み信号を印加する。

【0031】ここに、例えば、走査線 151、152・・・15480に断線がなく、データ線 121、122・・・12640にも短絡、断線がない場合には、図 8 (A) に示すように、表示画面 30 は、偶数番目の垂直ライン 312、314・・・31640 は黒、奇数番目の垂直ライン 311、313・・・31639 は白という周期性を有する完全な縦ストライプ画面となる。

【0032】これに対して、データ線 121、122・・・12640 のいずれかに短絡がある場合、例えば、データ線 122n+2、122n+3 間に短絡がある場合には、図 9 に示すように、白であるべき垂直ライン 312n+3 が黒となってしまい、表示画面 30 は、図 8 (A) に示す期待する画面とは異なるものとなってしまう。

【0033】また、偶数ラインのデータ線 122、124・・・12640 のいずれかに断線がある場合、例えば、データ線 122n+2 に断線がある場合には、図 10 に示すように、垂直ライン 312n+2 は、断線部より下方の画素が白となってしまい、この場合も、表示画面 30 は、図 8 (A) に示す期待する画面とは異なるものとなってしまう。

【0034】次に、偶数ラインのデータ線 122、124・・・12640 に導電性ゴム 26 を介して白を表示させるための白表示信号を印加すると共に、奇数ラインのデータ線 121、123・・・12639 に導電性ゴム 27 を介して黒を表示させるための黒表示信号を印加し、表示画面 30 を観察する。これにより奇数ラインのデータ線 121、123・・・12639 の断線を検出することができる。

【0035】

(b) データ線の短絡、断線の検査方法 (その 2)

図 11 はデータ線 121、122・・・12640 の短絡、断線の検査方法の他の例を説明するための図である。なお、この図 11 においても、最終保護膜 20 は、その図示を省略している。

【0036】まず、図 11 (A) に示すように、偶数ラインのデータ線 122、124・・・12640 を偶数ライ

ンの窓 212、214・・・21640 を介して導電性ゴム 26 で短絡すると共に、奇数ラインのデータ線 121、123・・・12639 を奇数ラインの窓 211、213・・・21639 を介して導電性ゴム 27 で短絡する。

【0037】また、図 11 (B) に示すように、偶数ラインの走査線 152、154・・・15480 を偶数ラインの窓 242、244・・・24480 を介して導電性ゴム 28 で短絡すると共に、奇数ラインの走査線 151、153・・・15479 を奇数ラインの窓 241、243・・・24479 を介して導電性ゴム 29 で短絡する。

【0038】そして、偶数ラインのデータ線 122、124・・・12640 及び奇数ラインのデータ線 121、123・・・12639 にそれぞれ導電性ゴム 26、27 を介して反転関係にある黒表示信号を印加する。

【0039】他方、偶数ラインの走査線 152、154・・・15480 及び奇数ラインの走査線 151、153・・・15479 にはそれぞれ導電性ゴム 28、29 を介して書き込み信号を印加する。

【0040】ここに、例えば、走査線 151、152・・・15480 に断線がなく、データ線 121、122・・・12640 にも短絡、断線がない場合には、図 11 (A) に示すように、表示画面 30 は、偶数番目の垂直ライン 312、314・・・31640 も黒、奇数番目の垂直ライン 311、313・・・31639 も黒という完全な黒画面となる。

【0041】これに対して、データ線 121、122・・・12640 のいずれかに短絡がある場合、例えば、データ線 122n+2、122n+3 間に短絡がある場合には、表示画面 30 は、図 12 に示すように、垂直ライン 312n+2、312n+3 は白となってしまい、図 11 (A) に示す期待する画面とは異なるものとなってしまう。

【0042】また、偶数ラインのデータ線 122、124・・・12640 のいずれかに断線がある場合、例えば、データ線 122n+2 に断線がある場合には、表示画面 30 は、図 13 に示すように、垂直ライン 312n+2 は、断線部より下方の画素が白ないし灰色となってしまい、図 11 (A) に示す期待する画面とは異なるものとなってしまう。

【0043】(c) 走査線の断線、短絡の検査方法

図 14 は走査線 151、152・・・15480 の短絡、断線の検査方法の一例を説明するための図である。なお、この図 14 においても、最終保護膜 20 は、その図示を省略している。

【0044】まず、図 14 (A) に示すように、偶数ラインのデータ線 122、124・・・12640 を偶数ラインの窓 212、214・・・21640 を介して導電性ゴム 26 で短絡すると共に、奇数ラインのデータ線 121、123・・・12639 を奇数ラインの窓 211、213・・・21639 を介して導電性ゴム 27 で短絡する。

【0045】また、図 14 (B) に示すように、偶数ラ

インの走査線 152、154…15480を偶数ラインの窓 242、244…24480を介して導電性ゴム 28で短絡すると共に、奇数ラインの走査線 151、153…15479を奇数ラインの窓 241、243…24479を介して導電性ゴム 29で短絡する。

【0046】そして、偶数ラインのデータ線 122、124…12640及び奇数ラインのデータ線 121、123…12639に導電性ゴム 26、27を介して黒を表示させるための黒表示信号を印加する。

【0047】他方、偶数ラインの走査線 152、154…15480には導電性ゴム 28を介して書き込み信号を印加すると共に、奇数ラインの走査線 151、153…15479には導電性ゴム 29を介して非書き込み信号を印加する。

【0048】ここに、例えば、データ線 121、122…12640に断線がなく、走査線 151、152…15480に短絡、断線がない場合、図14 (B) に示すように、表示画面 30は、偶数番目の水平ライン 322、324…32640は黒、奇数番目の水平ライン 321、323…32639は白という周期性を有する完全な横ストライプ画面となる。

【0049】これに対して、走査線 151、152…15480のいずれかに短絡がある場合、例えば、走査線 152n+2、152n+3間に短絡がある場合には、表示画面 30は、図15に示すように、黒であるべき水平ライン 322n+2が白となってしまい、図14 (B) に示す期待する画面とは異なるものとなってしまう。

【0050】また、偶数ラインの走査線 152、154…15480のいずれかに断線がある場合、例えば、走査線 152n+2に断線がある場合には、表示画面 30は、図16に示すように、水平ライン 322n+2は、断線部より右側の画素が白となってしまい、この場合も、図14 (B) に示す期待する画面とは異なるものとなってしまう。

【0051】次に、偶数ラインの走査線 152、154…15480に導電性ゴム 28を介して非書き込み信号を印加すると共に、奇数ラインの走査線 151、153…15479に導電性ゴム 29を介して書き込み信号を印加して、表示画面 30を観察する。これにより奇数ラインの走査線 151、153…15479の断線を検出することができる。

### 【0052】(3) 作用、効果

以上のように、本実施例においては、最終保護膜 20で被覆された検査用領域 17、18が形成されており、検査用領域 17には、データ線 121、122…12640と電気的接触を図るために窓 211、212…21640が形成されており、検査用領域 18には、走査線 151、152…15480と電気的接触を図るために窓 241、242…24480が形成されている。

【0053】また、検査用領域 17では、偶数ラインの

窓 212、214…21640及び奇数ラインの窓 241、243…24479は水平ライン方向に平行に形成されており、検査用領域 18では、偶数ラインの窓 242、244…24480及び奇数ラインの窓 241、243…24479は垂直ライン方向に平行に形成されている。

【0054】この結果、偶数ラインのデータ線 122、124…12640は、窓 212、214…21640を介して導電性ゴム 26で短絡することができ、奇数ラインのデータ線 121、123…12639は、窓 241、243…24479を介して導電性ゴム 27で短絡することができる。

【0055】また、偶数ラインの走査線 152、154…15480は、窓 242、244…24480を介して導電性ゴム 28で短絡することができ、奇数ラインの走査線 151、153…15479は、窓 241、243…24479を介して導電性ゴム 29で短絡することができる。

【0056】そこで、このような状態とした上で、導電性ゴム 26、27、28、29に前述のように、所定の信号を印加して、所定の画面を表示させることで、データ線 121、122…12640の短絡、断線及び走査線 151、152…15480の短絡、断線というパターン不良を検査することができる。

【0057】即ち、本実施例によれば、簡単な検査方法で、データ線 121、122…12640の短絡、断線及び走査線 151、152…15480の短絡、断線というパターン不良を正確に検出することができる。

【0058】なお、検査用領域 17、18は、検査終了後は不要となるものであるから、検査終了後、TFT 基板 10の検査用領域 17、18を含む周辺部を切り落とすことで、平面上のサイズを小さくすることができ、検査用領域 17、18を設けることでサイズ上の問題は生じない。

【0059】また、上述の実施例においては、検査用領域 18を走査線 151、152…15480の走査信号印加領域 16側の端部に設けるようにしたが、図17に示すように、例えば、図上、左側から走査信号印加領域 16、表示領域 33、検査用領域 18の順に形成するともできるが、このようにすると、例えば、図18に示すように、走査線 15kの断線部 34が走査信号印加領域 16内にあった場合に、これを検出することができないという不都合がある。

【0060】これに対して、例えば、図19に示すように、図上、左側から検査用領域 18、走査信号印加領域 16、表示領域 33と並ぶようにすると、走査線 15kの断線部 34が走査信号印加領域 16内にある場合においても、これを検出することができる。

【0061】また、上述の実施例においては、検査時、導電性ゴム 26、27、28、29を使用するようにし

た場合につき説明したが、図20に平面図、図21に図20のE-E線に沿った断端面図を示すように、製造プロセス時に、アルミニウム層35、36、37、38を形成し、これらアルミニウム層35、36、37、38で、それぞれ、偶数ラインのデータ線122、124···12640、奇数ラインのデータ線121、123···12639、偶数ラインの走査線152、154···15480、奇数ラインの走査線151、153···15479を短絡するようにしても良い。

【0062】また、上述の実施例においては、データ線121、122···12640に表示信号を印加するデータ線ドライバ及び走査線151、152···15480に走査信号を印加する走査線ドライバをTFT基板10に搭載しないように構成した場合について説明したが、本発明は、これらデータ線ドライバ及び走査線ドライバをTFT基板10に搭載する場合においても適用することができる。

【0063】但し、この場合には、検査用領域17、18を切り落とすことができないので、前述のアルミニウム層35、36、37、38は形成することができないし、また、検査用領域18、走査信号印加領域16、表示領域33は、例えば、図上、左側から走査信号印加領域16、表示領域33、検査用領域18の順に形成することになる。

#### 【0064】

【発明の効果】以上のように、本発明によれば、データ線及び走査線が形成される基板に、絶縁層で被覆され、かつ、データ線との電気的接触を図るための窓を形成してなる第1の検査用領域と、絶縁層で被覆され、かつ、走査線との電気的接触を図るための窓を形成してなる第2の検査用領域とを設けるという構成を採用したことにより、簡単な検査方法で、即ち、奇数ラインのデータ線、偶数ラインのデータ線、奇数ラインの走査線、偶数ラインの走査線を、それぞれ、対応する窓を介して第1、第2、第3、第4の導電性ゴムで短絡し、これら第1、第2、第3、第4の導電性ゴムに所定の信号を印加し、所定の画面を表示させることで、データ線の短絡、断線及び走査線の短絡、断線というパターン不良を正確に検出することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例を概略的に示す平面図である。

【図2】一方の検査用領域の一部を拡大して示す平面図である。

【図3】図2のA-A線に沿った断端面図である。

【図4】図2のB-B線に沿った断端面図である。

【図5】他方の検査用領域の一部を拡大して示す平面図

である。

【図6】図5のC-C線に沿った断端面図である。

【図7】図5のD-D線に沿った断端面図である。

【図8】データ線の短絡、断線の検査方法の一例を説明するための平面図である。

【図9】データ線に短絡がある場合の表示画面を示す平面図である。

【図10】データ線に断線がある場合の表示画面を示す平面図である。

【図11】データ線の短絡、断線の検査方法の他の例を説明するための平面図である。

【図12】データ線に短絡がある場合の表示画面を示す平面図である。

【図13】データ線に断線がある場合の表示画面を示す平面図である。

【図14】走査線の短絡、断線の検査方法の一例を説明するための平面図である。

【図15】走査線に短絡がある場合の表示画面を示す平面図である。

【図16】走査線に断線がある場合の表示画面を示す平面図である。

【図17】検査用領域、走査信号印加領域、表示領域を走査信号印加領域、表示領域、検査用領域の順に並べた場合の不都合を説明するための平面図である。

【図18】検査用領域、走査信号印加領域、表示領域を走査信号印加領域、表示領域、検査用領域の順に並べた場合の不都合を説明するための概略的断端面図である。

【図19】検査用領域、走査信号印加領域、表示領域を検査用領域、走査信号印加領域、表示領域の順に並べた場合の好適性を説明するための概略的断端面図である。

【図20】本発明の他の実施例の要部を示す平面図である。

【図21】図20のE-E線に沿った断端面図である。

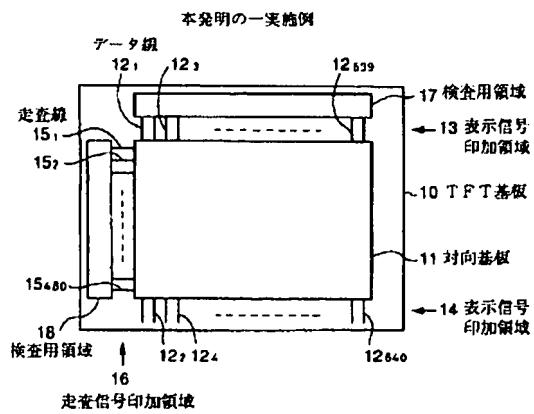
【図22】従来のアクティブマトリクス型液晶表示パネルの一例の概略的平面図である。

【図23】図22に示すアクティブマトリクス型液晶表示パネルを構成するTFT基板の平面構造を概略的に示す平面図である。

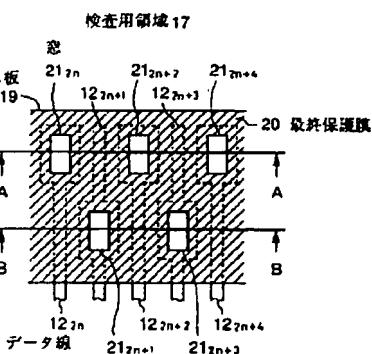
#### 【符号の説明】

- 40 10 TFT基板
- 11 対向基板
- 12i データ線
- 13、14 表示信号印加領域
- 15k 走査線
- 16 走査信号印加領域
- 17、18 検査用領域

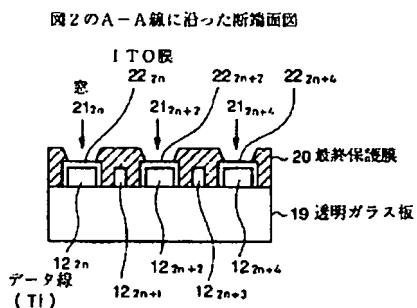
【図1】



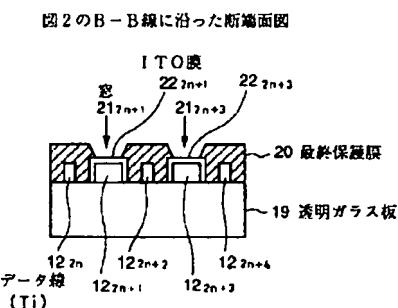
【図2】



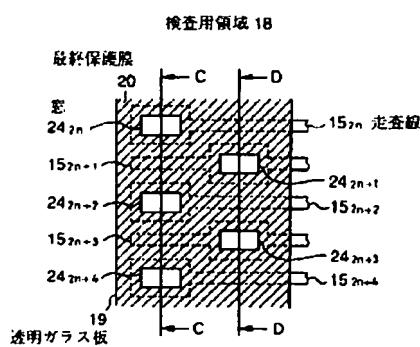
【図3】



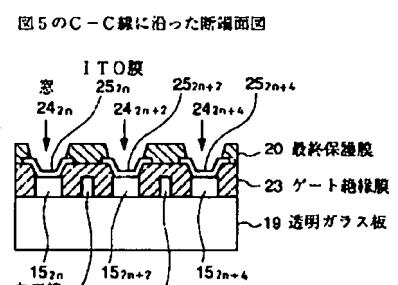
【図4】



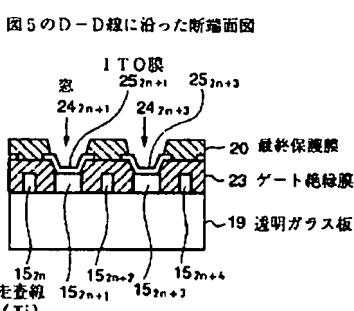
【図5】



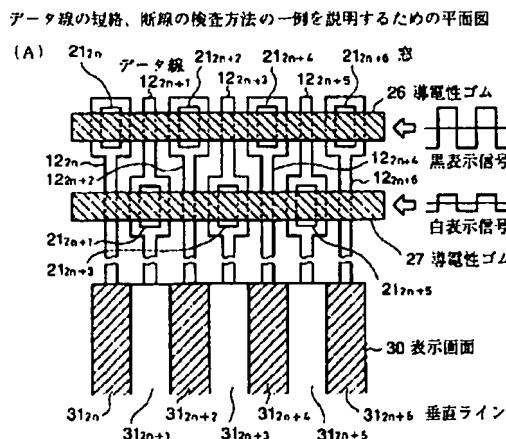
【図6】



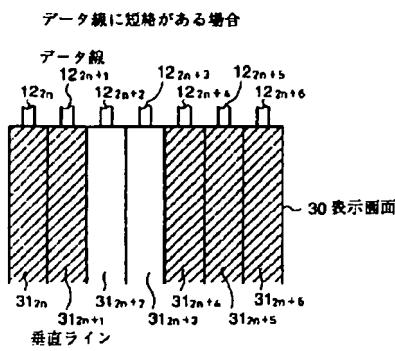
【図7】



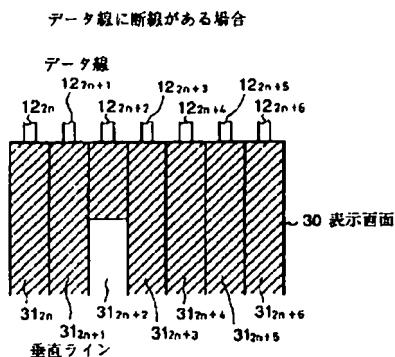
【図8】



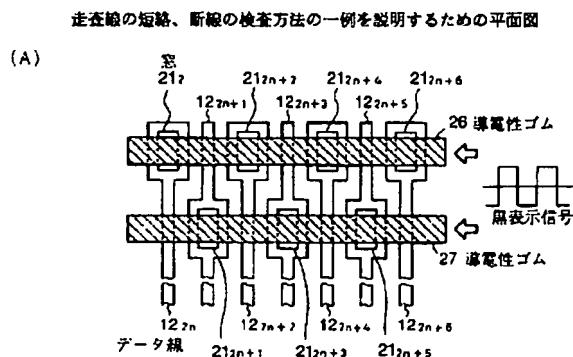
【図12】



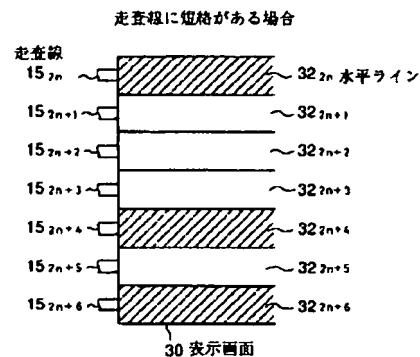
【図13】



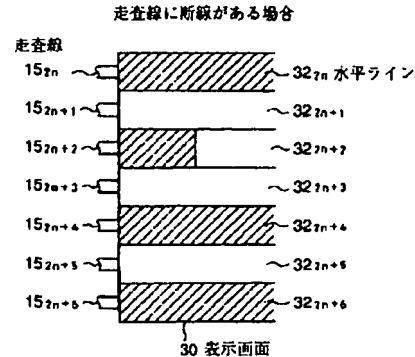
【図14】



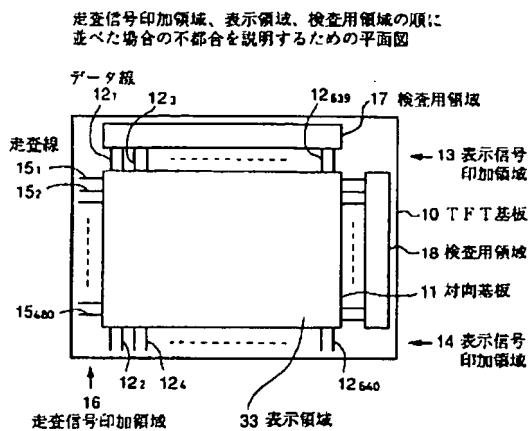
【図15】



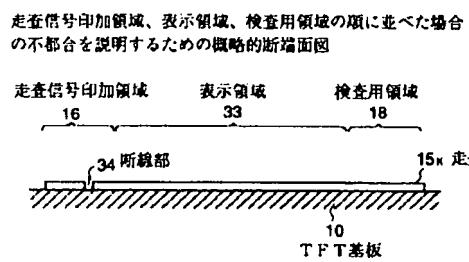
【図16】



【図17】

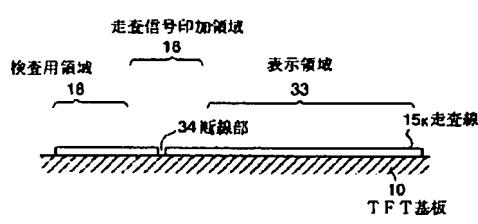


【図18】



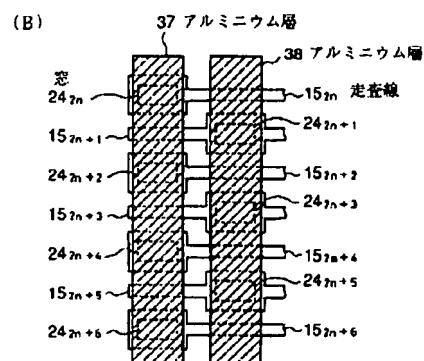
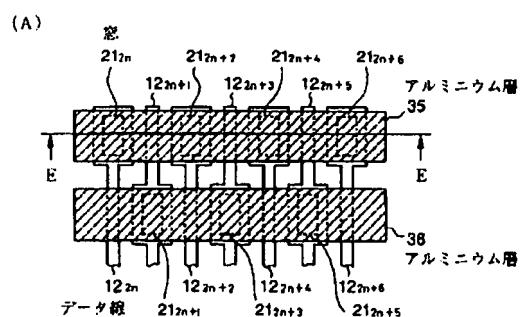
【図19】

検査用領域、走査信号印加領域、表示領域の順に並べた場合の好適性を説明するための概略的断面図



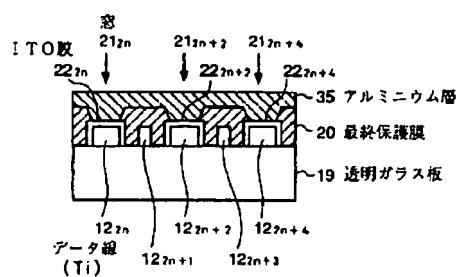
【図20】

本発明の他の実施例

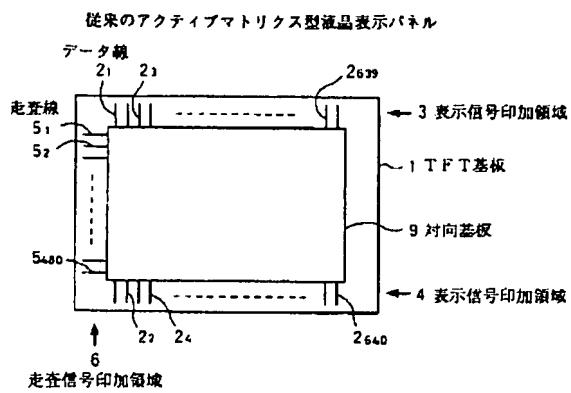


【図21】

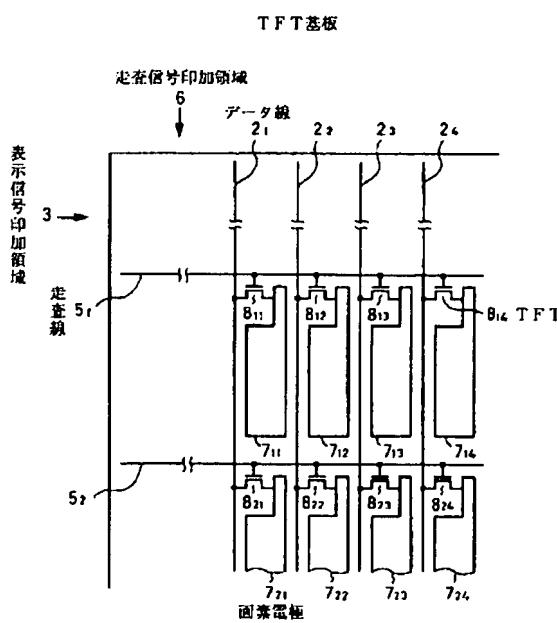
図20のE-E'軸に沿った断面図



【図22】



【図23】



フロントページの続き

(72)発明者 鳴田 裕行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

## MANUFACTURE OF THIN FILM TRANSISTOR

Publication number: JP7263700

Publication date: 1995-10-13

Inventor: OZAKI KIYOSHI; DEJIMA YOSHIO; KATO SHINYA;  
ISHIWARI HIDETOSHI; SHIMADA HIROYUKI; INOUE  
ATSUSHI; HIROTA SHIRO

Applicant: FUJITSU LTD

Classification:

- International: G02F1/136; G02F1/1368; H01L21/336; H01L29/40;  
H01L29/78; H01L29/786; G02F1/13; H01L21/02;  
H01L29/40; H01L29/66; (IPC1-7): H01L29/786;  
G02F1/136; H01L21/336; H01L29/40

- European:

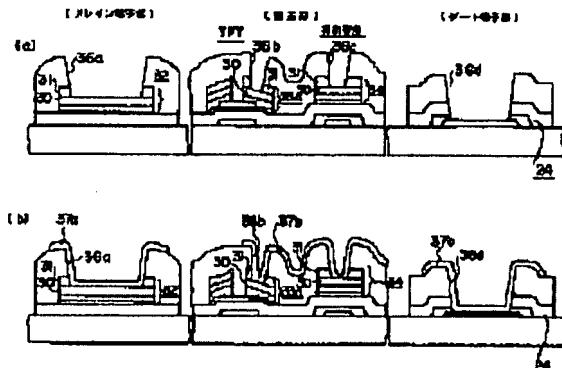
Application number: JP19940047430 19940317

Priority number(s): JP19940047430 19940317

[Report a data error here](#)

#### Abstract of JP7263700

PURPOSE: To restrain irregularity of contact resistance between an Al film and a transparent conducting film, and maintain the contact resistance in a small value, regarding the manufacturing method of a thin film transistor which is used for driving the liquid crystal in a liquid crystal display. CONSTITUTION: A source/drain electrode 33a of a thin film transistor is formed on a transparent substrate 21. As to at least the upper two layers of the electrode 33a is an Al film 31 and a high melting point metal film 30 in the order from the upper layer. An insulating film 35 is formed so as to cover the electrode 33a. An aperture 36b is formed in the insulating film 35 on the electrode 33a. The uppermost Al film 31 of the electrode 33a is etched via the aperture 36b, and the high melting point metal film 30 as the substratum is exposed. A transparent conducting film is formed so as to come into contact with the high melting point metal film 30 in the aperture 36b.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-263700

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/786				
21/336				
G 02 F 1/136	5 0 0			
H 01 L 29/40	A			
	9056-4M			
		H 01 L 29/78	3 1 1 P	
		審査請求 未請求 請求項の数9 OL (全 11 頁)		

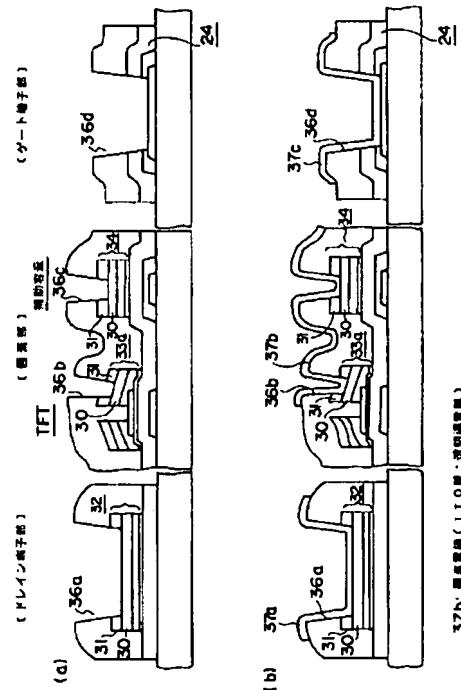
(21)出願番号	特願平6-47430	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成6年(1994)3月17日	(72)発明者	尾崎 吾義 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	出島 芳夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	加藤 真也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 岡本 啓三
			最終頁に統く

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 液晶表示装置の液晶駆動に用いられる薄膜トランジスタの製造方法に関し、A1膜と透明導電膜との接触抵抗のばらつきを抑制し、接触抵抗を小さく保持する。

【構成】 透明基板21上に形成された薄膜トランジスタのソース/ドレイン電極33aであって、少なくとも上部2層の導電膜が上層から順次A1膜31及び高融点金属膜30となっているソース/ドレイン電極33aを被覆して絶縁膜35を形成する工程と、ソース/ドレイン電極33a上の絶縁膜35に開口36bを形成する工程と、開口36bを介してソース/ドレイン電極33aの最上層のA1膜31をエッチングし、除去して下地の高融点金属膜30を表出する工程と、開口36b内の高融点金属膜30と接触して透明導電膜37bを形成する工程とを有する。



## 【特許請求の範囲】

【請求項1】 透明基板上に形成された薄膜トランジスタのソース／ドレイン電極であって、少なくとも最上層の導電膜がA1膜となっている前記ソース／ドレイン電極を被覆して絶縁膜を形成する工程と、  
前記ソース／ドレイン電極上の前記絶縁膜に開口を形成する工程と、  
前記開口を介して前記開口内の前記A1膜をエッティングする工程と、  
前記開口内の前記ソース／ドレイン電極と接触する透明導電膜を形成する工程とを有する薄膜トランジスタの製造方法。

【請求項2】 前記ソース／ドレイン電極は前記A1膜の下に高融点金属膜が形成されており、前記A1膜のエッティングにより、下地の前記高融点金属膜を表出することを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記A1膜のエッティングをウエットエッティングにより行い、その後、前記開口の側壁の前記絶縁膜をサイドエッティングし、前記絶縁膜の前記開口を広げて前記開口内の前記絶縁膜の側壁面と前記開口内のA1膜の側壁面とを合わせることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 前記透明基板上に形成された補助容量の上部電極であって、少なくとも上部2層の導電膜が上層から順にA1膜及び高融点金属膜となっている前記上部電極に対して、前記ソース／ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース／ドレイン電極とを接続することを特徴とする請求項2又は請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 前記A1膜のエッティングはA1膜の表層のエッティングであることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項6】 前記絶縁膜に開口を形成する工程の後、前記開口を被覆して導電膜を形成し、前記導電膜及び前記開口内の前記A1膜の表層を連続してエッティングする工程を有する請求項1記載の薄膜トランジスタの製造方法。

【請求項7】 前記ソース／ドレイン電極を被覆して絶縁膜を形成する工程の後、  
前記開口を形成するマスクとして用いた耐エッティング性膜を残したまま、前記開口を介して前記開口内の前記A1膜の表層をエッティングする工程と、  
前記開口を被覆して導電膜を形成し、続いて、前記耐エッティング性膜を除去して前記開口内に前記導電膜を残す工程と、  
前記開口内の前記導電膜と接触する透明導電膜を形成する工程とを有する請求項1記載の薄膜トランジスタの製造方法。

【請求項8】 前記透明基板上に形成された補助容量の上部電極であって、少なくとも最上層の導電膜がA1膜となっている前記上部電極に対して、前記ソース／ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース／ドレイン電極とを接続することを特徴とする請求項5、請求項6又は請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 前記透明導電膜はITO膜又はZnO膜であることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7又は請求項8記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタの製造方法に関し、より詳しくは、液晶表示装置の液晶駆動に用いられる薄膜トランジスタの製造方法に関する。近年、ラップトップパソコンコンピュータや壁掛けテレビに使用する薄膜トランジスタ(TFT)マトリクス型カラー液晶パネルの開発や商品化が進められている。TFTマトリクス型カラー液晶パネルはその表示品質の点でCRTと代替できることが認められつつあり、今後、価格、信頼性及び製造歩留り等の更なる向上が望まれている。

## 【0002】

【従来の技術】 TFTマトリクス型カラー液晶パネルの信頼性及び製造歩留り向上のための対策の一つとして、TFTマトリクスの更なる改良が望まれている。図9(a)、(b)～図10はTFTマトリクス型カラー液晶パネルに用いられるTFTマトリクスの製造方法について説明する断面図である。

【0003】 図9(a)は、各電極を被覆して層間絶縁膜が形成された後、これらの電極と画素電極等とを接続するためのピアホールを形成する前の状態を示す。図では、特に、ドレン端子部、画素部及びゲート端子部を示す。画素部では、透明基板1上にゲート電極2と補助容量の下部電極3が形成され、これら電極2、3を被覆してゲート絶縁膜5が形成されている。更に、ゲート電極2上方にはゲート絶縁膜5を介してTFTが形成され、TFTは最上層部がA1膜となっているソース／ドレイン電極6a、6bを有する。また、下部電極3の上方にはゲート絶縁膜5を介して、最上層部がA1膜となっている補助容量の上部電極7が形成されている。更に、ソース／ドレイン電極6a、6b及び上部電極7を被覆して層間絶縁膜9が形成されている。

【0004】 また、ドレン端子部では、透明基板1上にゲート絶縁膜5を介して最上層部がA1膜となっているドレン端子8が形成されており、ドレン端子8は層間絶縁膜9により被覆されている。更に、ゲート端子部では、透明基板1上にTiとA1膜の2層の導電膜からなるゲート端子4と、これを被覆してゲート絶縁膜5

と層間絶縁膜9が形成されている。

【0005】この後、図9(b)に示すように、レジストマスクに基づく選択エッチング工程を経て、ドレイン端子8上の層間絶縁膜9と、画素部のソース電極6a上の層間絶縁膜9と、上部電極7上の層間絶縁膜9と、ゲート端子4上のゲート絶縁膜5及び層間絶縁膜9とにそれぞれ開口10a, 10b, 10c, 10dを形成する。開口10a～10dの底部にはそれぞれA1膜が露出している。

【0006】次いで、図10に示すように、各開口10a～10dを被覆するように透明導電膜を形成した後、パターニングし、画素部のソース電極6a及び上部電極7と接続して画素電極11bを形成するとともに、ドレイン端子8及びゲート端子4と接続して引出し電極11a, 11cを形成する。これにより、TFTが完成する。

#### 【0007】

【発明が解決しようとする課題】上記のTFTの製造方法においては、電極や、電極に接続した配線層の抵抗を下げるため、A1膜を重ねて形成している。しかし、A1膜上の層間絶縁膜9等に開口10a～10dを形成し、この開口10a～10dを介して画素電極11bや引出し電極11a, 11cを形成した場合、画素電極11b等とA1膜とのコンタクトがとれにくく、接触抵抗がばらついて大きくなるものがある。これは、A1膜の表面に自然酸化膜が形成されたため、或いは、開口10a～10dを形成するためのエッチングの際にエッティング残渣がA1膜の表面に再付着したためと考えられる。

【0008】このため、液晶を駆動するためTFTを動作させると、接触抵抗のムラによって、液晶層にかかる電圧が画素によってばらついたり、低下したりして、一様な色調が得られなかったり、中間調表示の際に点欠陥が生じたりして表示不良を招く場合がある。本発明は、係る従来例の問題点に鑑みて創作されたものであり、A1膜と透明導電膜との接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる薄膜トランジスタの製造方法を提供することを目的とするものである。

#### 【0009】

【課題を解決するための手段】上記課題は、第1に、透明基板上に形成された薄膜トランジスタのソース/ドレイン電極であって、少なくとも最上層の導電膜がA1膜となっている前記ソース/ドレイン電極を被覆して絶縁膜を形成する工程と、前記ソース/ドレイン電極上の前記絶縁膜に開口を形成する工程と、前記開口を介して前記開口内の前記A1膜をエッチングする工程と、前記開口内の前記ソース/ドレイン電極と接触する透明導電膜を形成する工程とを有する薄膜トランジスタの製造方法によって達成され、第2に、前記ソース/ドレイン電極は前記A1膜の下に高融点金属膜が形成されており、前記A1膜のエッチングにより、下地の前記高融点金属膜を表出することを特徴とする第1の発明に記載の薄膜トランジスタの製造方法によって達成され、第3に、前記

A1膜のエッチングをウエットエッチングにより行い、その後、前記開口の側壁の前記絶縁膜をサイドエッチングし、前記絶縁膜の前記開口を広げて前記開口内の前記絶縁膜の側壁面と前記開口内のA1膜の側壁面とを合わせることを特徴とする第2の発明に記載の薄膜トランジスタの製造方法によって達成され、第4に、前記透明基板上に形成された補助容量の上部電極であって、少なくとも上部2層の導電膜が上層から順にA1膜及び高融点金属膜となっている前記上部電極に対して、前記ソース/ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース/ドレイン電極とを接続することを特徴とする第2又は第3の発明に記載の薄膜トランジスタの製造方法によって達成され、第5に、前記A1膜のエッティングはA1膜の表層のエッティングであることを特徴とする第1の発明に記載の薄膜トランジスタの製造方法によって達成され、第6に、前記絶縁膜に開口を形成する工程の後、前記開口を被覆して導電膜を形成し、前記導電膜及び前記開口内の前記A1膜の表層を連続してエッティングする工程を有する第1の発明に記載の薄膜トランジスタの製造方法によって達成され、第7に、前記ソース/ドレイン電極を被覆して絶縁膜を形成する工程の後、前記開口を形成するマスクとして用いた耐エッティング性膜を残したまま、前記開口を介して前記開口内の前記A1膜の表層をエッティングする工程と、前記開口を被覆して導電膜を形成し、続いて、前記耐エッティング性膜を除去して前記開口内に前記導電膜を残す工程と、前記開口内の前記導電膜と接触する透明導電膜を形成する工程とを有する第1の発明に記載の薄膜トランジスタの製造方法によって達成され、第8に、前記透明基板上に形成された補助容量の上部電極であって、少なくとも最上層の導電膜がA1膜となっている前記上部電極に対して、前記ソース/ドレイン電極に対する前記工程を同時に適用し、前記透明導電膜により前記上部電極と前記ソース/ドレイン電極とを接続することを特徴とする第5、第6又は第7の発明に記載の薄膜トランジスタの製造方法によって達成され、第9に、前記透明導電膜はITO膜又はZnO膜であることを特徴とする第1、第2、第3、第4、第5、第6、第7又は第8の発明に記載の薄膜トランジスタの製造方法によって達成される。

#### 【0010】

【作用】本発明の薄膜トランジスタの製造方法によれば、上部2層の導電膜が上層から順にA1膜及び高融点金属膜となっているTFTのソース/ドレイン電極と透明導電膜とを接続する前に、最上層のA1膜を除去し、A1膜の下地の高融点金属膜を露出している。

【0011】高融点金属膜はA1膜に比較して透明導電膜との間で良好なコンタクトが得られることが実験的に確かめられている。従って、絶縁物等のエッティング残渣がソース電極等の表面から除去されるとともに、透明導

電膜、例えばITO膜やZnO膜はコンタクト性の良い高融点金属膜との接続が可能となる。

【0012】ところで、Al膜のエッティング時に高融点金属膜との選択比をとるためAl膜をウェットエッティングすることがあるが、この場合、Al膜のウェットエッティングによりAl膜がサイドエッティングされるため、開口内で段差が生じる。この場合でも、Al膜のウェットエッティング後に、開口の側壁の絶縁膜をサイドエッティングし、絶縁膜の開口幅を広げて開口内の絶縁膜の側壁面と開口内のAl膜の側壁面とを合わせているので、開口内の段差が解消される。このため、開口を被覆して形成される透明導電膜の断線の危険性が少くなり、信頼性の向上及び製造歩留りの向上を図ることができる。

【0013】更に、最上層がAl膜となっているTFTのソース／ドレイン電極と透明導電膜とを接続する前にAl膜の表層を除去し、或いは導電膜を形成した後導電膜及びAl膜の表層を連続して除去し、或いはAl膜の表層を除去した後導電膜を形成している。従って、絶縁物等のエッティング残渣や自然酸化膜がAl膜の表面から除去され、或いは、透明導電膜との接触面には導電膜、例えば透明導電膜とコンタクト性の良いMo, Ti, Ta, Cr膜又はITO膜が露出しているので、透明導電膜とソース／ドレイン電極との間の接触性が良くなる。

【0014】これにより、透明導電膜とソース／ドレイン電極との間の接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる。

#### 【0015】

##### 【実施例】

###### (1) 本発明の第1の実施例

図3は液晶表示パネルの透明基板上にTFTマトリックスが形成された後の全体の構成を示す平面図である。図3に示すように、透明なガラス基板上に同じ構成の複数の画素がマトリックス状に縦方向及び横方向に整然と並んでいる。ここでは、1つの画素とそれに接続するゲート端子及びドレイン端子について説明する。

【0016】図3において、37bはITO膜（透明導電膜）からなる画素電極で、画素電極37bはTFTのソース電極（ソース／ドレイン電極）上の2つの開口36b等を介してソース電極と接続する。23はTFTのゲート電極と接続するゲートバスラインで、図面上縦方向に並んでいる各画素のTFTのゲート電極がそれぞれ接続されている。24はゲートバスライン23と接続するゲート端子で、各ゲート端子24等毎に一つのゲートバスライン23等が接続される。

【0017】38はTFTのドレイン電極を介してTFTと接続するドレインバスラインで、図面上横方向に並んでいる各画素のTFTのドレイン電極がそれぞれ接続されている。32はドレインバスライン38と接続するドレイン端子で、各ドレイン端子32等毎に一つのドレインバスライン38等が接続される。34はガラス基板

上にゲート絶縁膜を介してドレイン端子32及びソース電極33a及びドレイン電極33bと同じ材料で、ドレイン端子32と同時に形成された補助容量の上部電極で、帯状に、かつゲートバスライン23に並行して形成されている。

【0018】この上部電極34の下方には蓄積容量絶縁膜を介して下部電極が形成されており、上部電極34と下部電極とが重なっている領域は、上部電極34／蓄積容量絶縁膜／下部電極からなるコンデンサとして機能する。また、上部電極34は2つの開口36c等を介して画素電極37bと接続している。なお、画素電極37bと不図示の液晶層を介して対向する不図示のコモン電極とは画素電極37b／液晶層／コモン電極からなる寄生的なコンデンサを構成する。従って、蓄積容量絶縁膜のコンデンサはソース電極33aを共通にして液晶層のコンデンサと並列に入ることになる。これにより、電圧依存性を有する液晶層のコンデンサの容量の減少を補償し、液晶層への印加電圧の変動による色ずれ等が抑制される。

【0019】次に、上記図3のTFTマトリックスを作成する、本発明の第1の実施例の製造方法について図1(a), (b), 図2(a), (b)を参照しながら説明する。各図面には左からドレイン端子部、画素部、ゲート端子部が示される。ドレイン端子部は図3のA-A線断面図に相当し、画素部のTFT部は図3のB-B線断面図に相当し、画素部の補助容量部は図3のC-C線断面図に相当し、ゲート端子部は図3のD-D線断面図に相当する。

【0020】図1(a)に示すように、透明なガラス基板（透明基板）21上に、ゲート電極22と、ゲート電極22と接続するゲートバスライン23と、ゲートバスライン23と接続するゲート端子24と、補助容量の下部電極25とを形成する。これらのうちゲート電極22はTi膜からなり、他はすべてTi膜及びこのTi膜を被覆するAl膜の2層の導電膜からなる。

【0021】続いて、ゲート電極22、ゲートバスライン23、ゲート端子24及び下部電極25を被覆して膜厚約4000Åのシリコン塗化膜26をプラズマCVD法により形成する。なお、ゲート電極22上のシリコン塗化膜26はゲート絶縁膜となり、下部電極25上のシリコン塗化膜26は補助容量絶縁膜となる。次いで、膜厚約150～500Åのアモルファスシリコン膜（a-Si膜；動作半導体層）27と膜厚約1200Åのシリコン塗化膜をプラズマCVD法により連続的に形成する。

【0022】次に、回転塗布法により不図示のレジスト膜を形成した後、露光マスクを用いて選択的に露光し、現像してゲート電極22の上方に、かつゲート電極22よりも狭い島状のレジスト膜を残す。次いで、塩素系又はフッ素系の反応ガスを用いたアクリティブイオンエッティング（RIE）により、レジスト膜をマスクとしてシリコン塗化膜をエッティングし、除去してチャネル保護膜

28を形成する。なお、シリコン窒化膜は緩衝弗酸溶液(BHF)を用いたウエットエッティングにより除去してもよい。

【0023】次に、チャネル保護膜28及びa-Si膜27上にCVD法により膜厚約800Åのn<sup>+</sup>a-Si膜29を形成した後、スパッタ法により膜厚約800ÅのTi膜30を形成し、続いて蒸着法等により、Ti膜30上に膜厚約500ÅのAl膜31を形成する。次いで、塩素系又はフッ素系の反応ガスを用いたアクリティピオノンエッティング(RIE)により、新たに形成された不図示のレジスト膜をマスクとして、Al膜31とTi膜30とn<sup>+</sup>a-Si膜29とa-Si膜27とを連続的にエッティングし、除去する。

【0024】これにより、a-Si膜27からなるトランジスタの動作半導体層27aと、動作半導体層27aに接続されたn<sup>+</sup>a-Si膜29/Ti膜30/Al膜31からなるソース電極33a及びドレイン電極33bと、a-Si膜27/n<sup>+</sup>a-Si膜29/Ti膜30/Al膜31からなるドレインバスラインと、a-Si膜27/n<sup>+</sup>a-Si膜29/Ti膜30/Al膜31が積層されたドレイン端子32とが形成される。

【0025】次に、ドレイン端子32、ドレインバスライン、TFT、補助容量の上部電極34を被覆してプラズマCVD法により層間絶縁膜としての膜厚約2000Åのシリコン窒化膜(絶縁膜)35を形成する。次いで、図1(b)に示すように、不図示のレジストマスクに基づいてSF<sub>6</sub>を用いたドライエッティングによりシリコン窒化膜35を選択的にエッティングし、除去して、ドレイン端子32、TFTのソース電極33a、上部電極34上のシリコン窒化膜35に開口36a～36cを形成するとともに、ゲート端子24上のゲート絶縁膜26及びシリコン窒化膜35に開口36dを形成する。これにより、開口36a～36cの底部にAl膜31が現れ、また開口36dの底部にゲート端子24のAl膜が現れる。しかし、Al膜の表面にはエッティング残渣が残る場合があり、また、大気中に放置するとAl膜の表面には自然に酸化膜が形成される場合がある。

【0026】このまま、ITO膜を形成した場合、コンタクトが不十分になる危険性があるので、続いて、図2(a)に示すように、各開口36a～36dを介して底部のAl膜をエッティングする。これにより、開口36a～36cの底部にTi膜30が表出し、また開口36dの底部にゲート端子24のTi膜が現れる。このとき、Al膜のエッティングとして、塩素系の反応ガスを用いたドライエッティングを用いるか、或いは加熱した磷酸を用いたウエットエッティングを用いる。

【0027】次いで、膜厚約800ÅのITO膜又はZnO膜(透明導電膜)をスパッタ法により形成する。次に、図2(b)に示すように、不図示のレジストマスクを形成した後、該レジストマスクに基づいてITO膜又

はZnO膜を選択的にエッティングし、開口36a～36dを介してドレイン端子32と接続するドレイン引出し電極37aと、ソース電極33a及び上部電極34と接続する画素電極37bと、ゲート端子24と接続するゲート引出し電極37cとを形成する。

【0028】以上のように、本発明の第1の実施例に係るTFTマトリクスの製造方法によれば、図2(a)に示すように、上部の2層がTi膜30/Al膜31となっているドレイン端子32、TFTのソース電極33a、上部電極34及びゲート端子24とITO膜とを接続する前に、Al膜31等を除去し、Al膜31等の下地のTi膜30等を露出している。

【0029】Ti膜30等はAl膜31等に比較してITO膜37a～37cとの間で良好なコンタクトが得られることが実験的に確かめられている。従って、絶縁物等のエッティング残渣がソース電極33a等の表面から除去されるとともに、ITO膜37a～37cはコンタクト性の良いTi膜30等との接続が可能となる。

【0030】これにより、接触抵抗のばらつきを抑制し、接触抵抗を小さく保持して、画素全体にわたって一様に液晶層に電圧がかかるようにし、色調の変調や点欠陥が生じるのを防止することができる。従って、信頼性や製造歩留りの向上を図ることができる。

## (2) 本発明の第2の実施例

本発明の第2の実施例について図4(a)～(c)を参考しながら説明する。以下、画素部のみについて説明し、他の部分については同様なので説明を省略する。

【0031】図2(a)に示す第1の実施例の、開口36a～36dを介してAl膜31等をエッティングし、除去する工程において、ドライエッティングではAl膜31等とAl膜31等の下地のTi膜30等とはエッティングの選択性がほとんどないため、Al膜31等のエッティングの終点検出が困難になる。従って、特に、オーバエッティングの危険性が高く、その影響が大きいような場合には、Al膜31をエッティングするため、加熱した磷酸によりウエットエッティングする場合がある。

【0032】この場合、図4(b)に示すように、Al膜31のサイドエッティングが生じ、層間絶縁膜35の開口36b、36c幅よりも広くAl膜31が除去されて開口36b、36c内の層間絶縁膜35の側壁から層間絶縁膜35の下の方までAl膜31の端部側壁が後退する。従って、この部分で段差が生じるため、開口36b、36cを被覆してITO膜が形成された場合、段差部でITO膜の断線が起きやすくなる。

【0033】この危険性を回避するため、第2の実施例では、図4(b)に示すように、ウエットエッティングにより開口36b、36cを介してAl膜31をエッティングした後、CF<sub>4</sub>+O<sub>2</sub>ガスを用いたケミカルドライエッティング(CDE)法により層間絶縁膜35のエッティングを行う。これにより、開口36b、36c内の側壁の層間絶縁

膜35はサイドエッチングを受けて開口幅が広がり、適当なエッチング時間の後、開口36e, 36fにおいて既に層間絶縁膜35の下の方まで後退しているA1膜31の端部側壁面と層間絶縁膜35の側壁面とが一致するようになる。

【0034】 例え、膜厚500ÅのA1膜31をジャストエッチングよりも1.5倍程度オーバーエッチングした場合、サイドエッチング量は片側約0.5μmとなる。このとき、CDEを300Wで凡そ30秒行うことにより、層間絶縁膜35の側壁は片側約0.5μm後退し、A1膜31の端部側壁面と層間絶縁膜35の側壁面とがほぼ一致するようになる。

【0035】 従って、第2の実施例によれば、開口36e, 36fを被覆して形成されるITO膜の断線の危険性が少くなり、信頼性の向上及び製造歩留りの向上を図ることができる。

### (3) 本発明の第3～第5の実施例

本発明の第3～第5の実施例について図5～図8を参照しながら説明する。第3～第5の実施例では、第1及び第2の実施例のようにA1膜を全部除去するかわりに、A1膜の表層のみをエッチングする。以下の3つの方法がある。以下、画素部のみについて説明し、ドレイン端子部やゲート端子部については同様なので説明を省略する。

#### 【0036】 (A) 第3の実施例

図5(a)～(d)は第3の実施例について示す断面図である。第1の実施例の図2(a)に示す開口36b, 36cを形成する工程の後、図5(a)に示すように、開口36b, 36cを形成したときのレジスト膜を除去し、その後、図5(b)に示すように、Arイオンを用いたドライエッチングにより開口36b, 36cを介してA1膜31の表層を20～200Å程度エッチングする。

【0037】 次いで、図5(c)に示すように、全面に再びITO膜を形成した後、バーニングして画素電極(透明導電膜)37bを形成する。以上の工程において、A1膜31の表層のエッチングと、ITO膜37bの成膜とは減圧中で連続して行うことが好ましい。これにより、エッチング後のA1膜の表面に自然酸化膜が再形成されるのを防止することができるので、ITO膜37bとA1膜31の良好な接触が得られる。

#### 【0038】 (B) 第4の実施例

図6(a)～(c)は第4の実施例について示す断面図である。第1の実施例の図2(a)に示す開口36b, 36cを形成する工程の後、図6(a)に示すように、開口36b, 36cを形成したときのレジスト膜を除去し、その後、図6(b)に示すように、全面にITO膜(導電膜)41を形成する。

【0039】 続いて、図6(c)に示すように、ITO膜41の全てと50～70Å程度のA1膜31の表層をウエットエッチングする。このようにすることにより、

A1膜31単体の処理だけでは除去することが困難なA1膜31の表層の自然酸化膜を除去することが可能となる。次いで、図6(d)に示すように、全面に再びITO膜を形成した後、バーニングして画素電極(透明導電膜)37bを形成する。

#### 【0040】 (C) 第5の実施例

図7(a)～(c)及び図8(a), (b)は第5の実施例について示す断面図である。

【0041】 第1の実施例の図2(a)に示す開口36b, 36cを形成する工程の後、図7(a)に示すように、開口36b, 36cを形成したときのレジスト膜(耐エッチング性膜)42をそのまま残した状態で、図7(b)に示すように、磷酸を含む溶液により、A1膜31の表層を20～200Å程度ウエットエッチングする。次に、図7(c)に示すように、全面にMo膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bを形成する。

【0042】 次いで、図8(a)に示すように、レジスト膜42を除去する。このとき、リフトオフによりレジスト膜42上の導電膜43のみが除去され、開口36b, 36c内に形成されていたMo膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bのみ残る。次いで、図8(b)に示すように、全面に再びITO膜を形成した後、バーニングして画素電極37bを形成する。このとき、開口36b, 36c内のITO膜(透明導電膜)37bは導電膜43a, 43b上に形成されるため、良好なコンタクトが得られる。

【0043】 以上のように、本発明の第3～第5の実施例の薄膜トランジスタマトリクスの製造方法によれば、最上層がA1膜31となっているTFTのソース電極33a及び補助容量の上部電極34とITO膜37bとを接続する前に、A1膜31の表層を除去し、或いはA1膜31の表層を除去した後Mo膜, Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bを形成している。

【0044】 従って、絶縁物等のエッチング残渣や自然酸化膜がソース電極33a等の表面から除去され、或いはA1膜31上に導電膜41を形成した後この導電膜41及びA1膜31の表層が連続して除去され、或いはITO膜37bはコンタクト性の良い膜、Ti膜, Ta膜, Cr膜又はITO膜からなる導電膜43a, 43bと接続されるので、ITO膜37bとソース電極33a等の間の電気的接続性が良くなる。

【0045】 これにより、ITO膜37bとソース電極33a等の間の接触抵抗のばらつきを抑制し、接触抵抗を小さく保持することができる。このため、TFTを動作させた場合、画素全体にわたって一様に液晶層に電圧がかかり、色調の変調や点欠陥が生じるのを防止することができる。従って、液晶表示装置の信頼性や製造歩留りの向上を図ることができる。

【0046】なお、上記第1～第5の実施例では、透明電極としてITO膜37a～37cを用いているが、ZnO膜を用いることもできる。この場合も、ITO膜37a～37cと同様な効果を得ることができる。また、Al膜31の下の高融点金属膜としてTi膜30を用いているが、その他Ta膜、Mo膜等を用いてもよい。

## 【0047】

【発明の効果】以上のように、本発明の薄膜トランジスタマトリクスの製造方法においては、上部2層の導電膜が上層から順にAl膜及び高融点金属膜となっているTFTのソース／ドレイン電極とITO膜とを接続する前に、最上層のAl膜を除去し、下地の高融点金属膜を露出している。

【0048】従って、絶縁物等のエッティング残渣がソース電極等の表面から除去されるとともに、透明導電膜はコンタクト性の良い高融点金属膜との接続が可能となる。また、Al膜のウエットエッティング後に、開口の側壁の絶縁膜をサイドエッティングし、絶縁膜の開口幅を広げて開口内の絶縁膜の側壁面と開口内のAl膜の側壁面とを合わせているので、Al膜のウエットエッティングにより生じた開口内の段差が解消される。このため、開口を被覆して形成される透明導電膜の断線の危険性が少くなり、信頼性の向上及び製造歩留りの向上を図ることができる。

【0049】更に、最上層がAl膜となっているTFTのソース／ドレイン電極と透明導電膜とを接続する前に、Al膜の表層を除去し、或いはAl膜の表層を除去した後導電膜を形成している。従って、絶縁物等のエッティング残渣や自然酸化膜がAl膜の表面から除去され、或いは、透明導電膜との接触面には導電膜、例えば透明導電膜とコンタクト性の良いMo、Ti、Ta、Cr膜又はITO膜が露出しているので、透明導電膜とソース／ドレイン電極の間の接触性が良くなる。

【0050】これにより、透明導電膜とソース／ドレイン電極の間の接触抵抗のはらつきを抑制し、接触抵抗を小さく保持することができる。このため、TFTを動作させた場合、画素全体にわたって一様に液晶層に電圧がかかり、色調の変調や点欠陥が生じるのを防止することができる。従って、液晶表示装置の信頼性や製造歩留りの向上を図ることができる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例に係る薄膜トランジスタマトリクスの製造方法について示す断面図（その1）である。

【図2】本発明の第1の実施例に係る薄膜トランジスタ

マトリクスの製造方法について示す断面図（その2）である。

【図3】本発明の実施例に係る薄膜トランジスタマトリクスの構成について示す平面図である。

【図4】本発明の第2の実施例に係る薄膜トランジスタマトリクスの製造方法について示す断面図である。

【図5】本発明の第3の実施例に係る薄膜トランジスタマトリクスの製造方法について示す断面図である。

【図6】本発明の第4の実施例に係る薄膜トランジスタマトリクスの製造方法について示す断面図である。

【図7】本発明の第5の実施例に係る薄膜トランジスタマトリクスの製造方法について示す断面図（その1）である。

【図8】本発明の第5の実施例に係る薄膜トランジスタマトリクスの製造方法について示す断面図（その2）である。

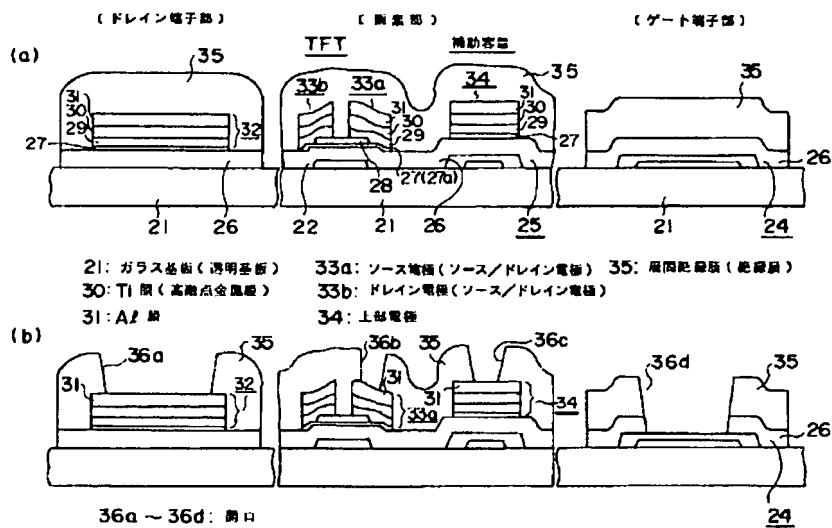
【図9】従来例に係る薄膜トランジスタマトリクスの製造方法について示す断面図（その1）である。

【図10】従来例に係る薄膜トランジスタマトリクスの製造方法について示す断面図（その2）である。

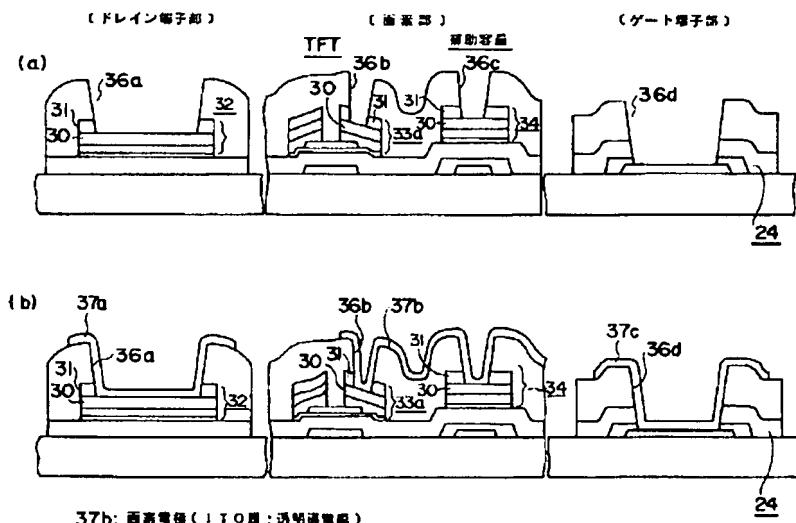
## 【符号の説明】

- 21 ガラス基板（透明基板）、
- 22 ゲート電極、
- 23 ゲートバスライン、
- 24 ゲート端子、
- 25 下部電極、
- 26 ゲート絶縁膜、
- 27 a-Si層（動作半導体層）、
- 28 保護絶縁膜、
- 29 n<sup>+</sup> a-Si層、
- 30 Ti膜（高融点金属膜）、
- 31 Al膜、
- 32 ドレイン端子、
- 33a ソース電極、
- 33b ドレイン電極、
- 34 上部電極、
- 35 シリコン窒化膜（絶縁膜）、
- 36a～36f 開口、
- 37a ドレイン引出し電極、
- 37b 画素電極（ITO膜；透明導電膜）、
- 37c ゲート引出し電極、
- 38 ドレインバスライン、
- 41 ITO膜（導電膜）、
- 42 レジスト膜（耐エッティング性膜）、
- 43, 43a, 43b 導電膜。

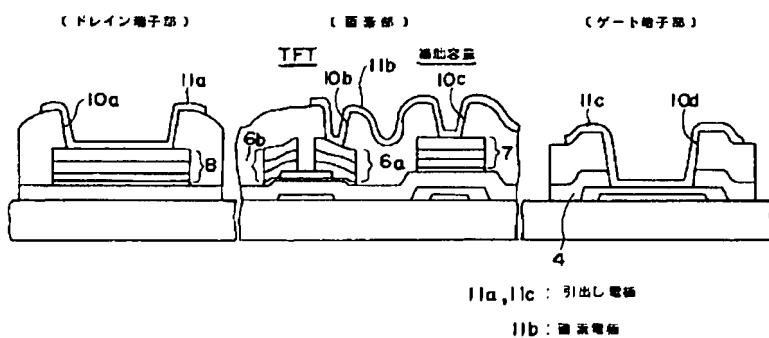
【図1】



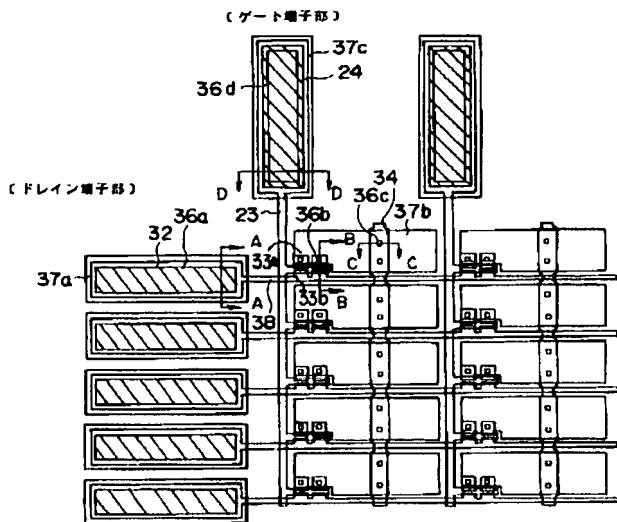
【図2】



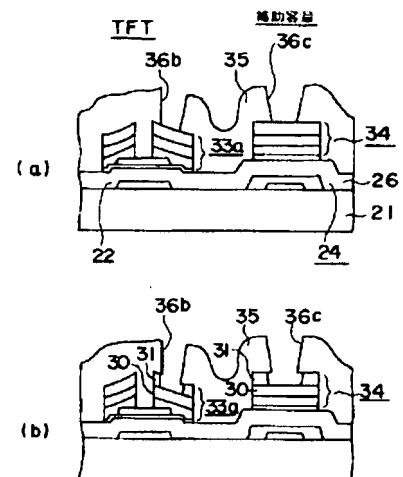
【図10】



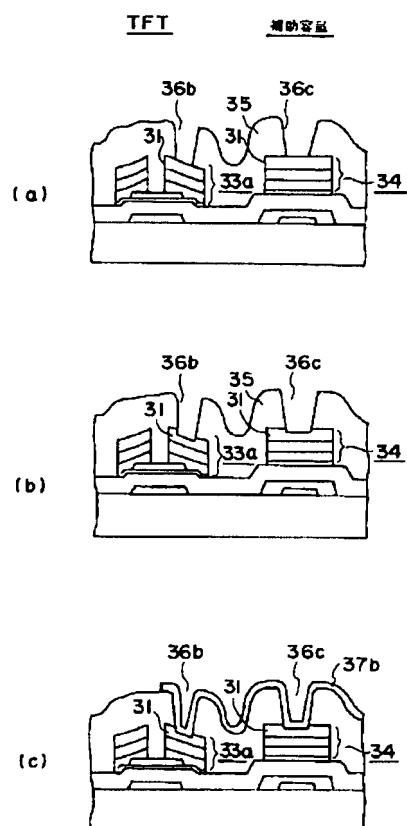
【図3】



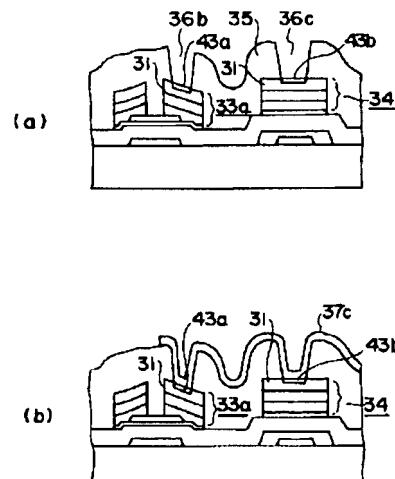
[図4]



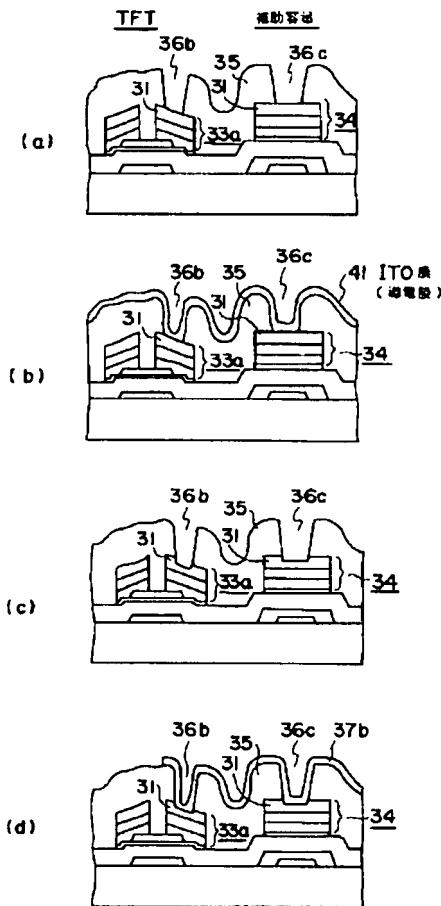
【図5】



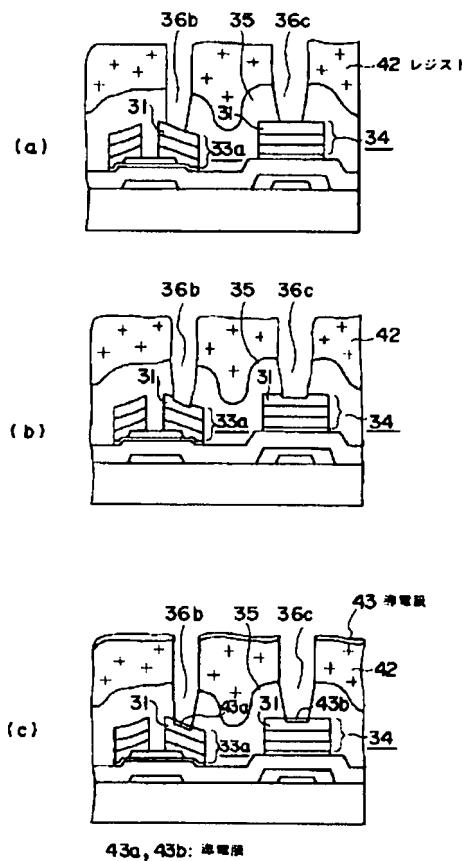
【図8】



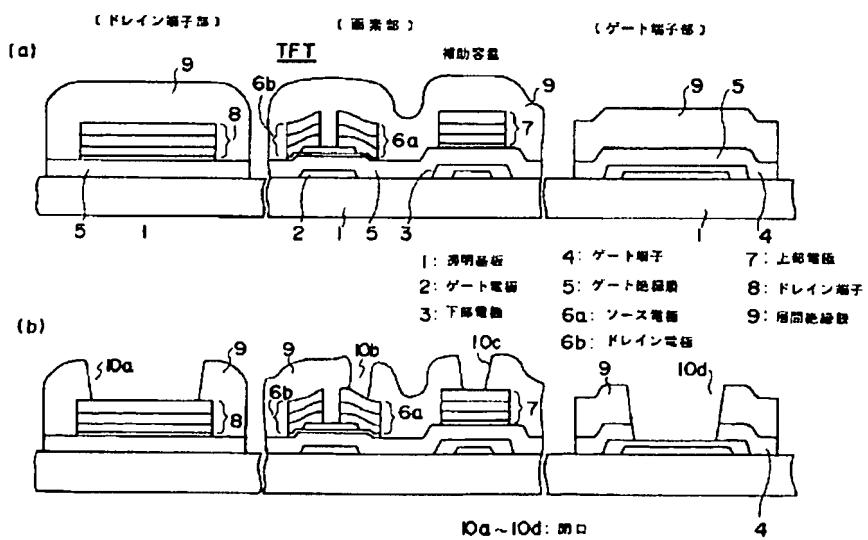
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 石割 秀敏  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 鳴田 裕行  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 井上 淳  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 廣田 四郎  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内